

Pager data coding and decoding - By decoding reset words in Reed-Solomon code adjacent class

Patent Assignee: TEIVAS STOCK CO

Inventors: GRIDNEV O A; KUROCHKIN V G; PORTNOI S L

Patent Family (1 patent, 1 country)

| Patent Number | Kind | Date | Application Number | Kind | Date | Update | Type |
|---------------|------|----------|--------------------|------|----------|--------|------|
| RU 2108667 | C1 | 19980410 | RU 19942003 | A | 19940119 | 199846 | B |

Priority Application Number (Number Kind Date): RU 19942003 A 19940119

Patent Details

| Patent Number | Kind | Language | Pages | Drawings | Filing Notes |
|---------------|------|----------|-------|----------|--------------|
| RU 2108667 | C1 | RU | 24 | 13 | |

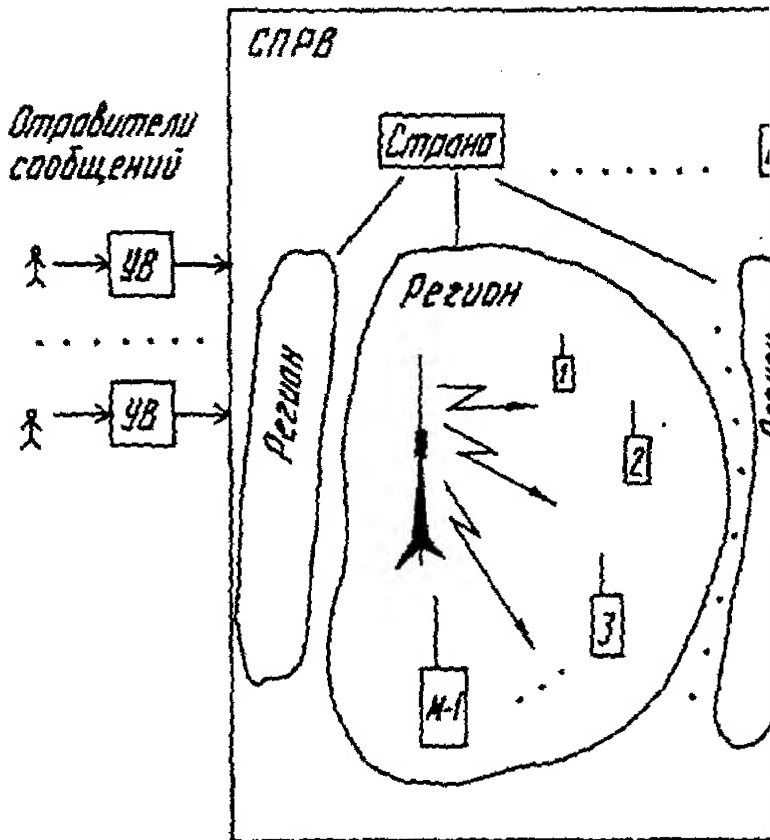
Alerting Abstract: RU C1

Method consists in adding part of the inherent address of the user receiver when coding k-1 symbols of each word and coding with a Reed-Solomon code. Resetting of the coded words is accomplished by taking into account the group address of the user receiver and detecting the synchro-packet at the receiver and strobing the receiver when the synchro-signal and that part of the code word arrives which corresponds to the user group address.

USE - Method concerns computing and communications.

ADVANTAGE - Method makes it possible to transmit messages to users with high reliability despite pulse interference and Rayleigh fading in the radio channel, and by strobing the receivers to increase the service life of the power supplies used.

Main Drawing Sheet(s) or Clipped Structure(s)



International Classification (Main): H03M-013/00

Original Publication Data by Authority

Russia

Publication Number: RU 2108667 C1 (Update 199846 B)

Publication Date: 19980410
Assignee: TEIVAS STOCK CO (TEIV-R)
Inventor: PORTNOI S L GRIDNEV O A KUROCHKIN V G
Language: RU (24 pages, 13 drawings)
Application: RU 19942003 A 19940119 (Local application)
Original IPC: H03M-13/00(A)
Current IPC: H03M-13/00(A)

Derwent World Patents Index
© 2007 Derwent Information Ltd. All rights reserved.
Dialog® File Number 351 Accession Number 8986394



(19) RU (11) 2 108 667 (13) С1
(51) МПК⁶ Н 03 М 13/00

РОССИЙСКОЕ АГЕНТСТВО
ПО ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ РОССИЙСКОЙ ФЕДЕРАЦИИ

(21), (22) Заявка: 94002003/09, 19.01.1994

(46) Дата публикации: 10.04.1998

(56) Ссылки: ЕР, патент, 0155882, кл. Н 03 М 13/00, 1985. ЕР, патент, 0204635, кл. Н 03 М 13/00, 1986.

(71) Заявитель:
Акционерное общество "Тейвас"

(72) Изобретатель: Портной С.Л.,
Гриднев О.А., Курочкин В.Г., Головин
О.Б., Скиталинский К.Т.

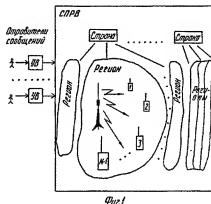
(73) Патентообладатель:
Акционерное общество "Тейвас"

(54) СПОСОБ КОДИРОВАНИЯ И ДЕКОДИРОВАНИЯ ДАННЫХ ДЛЯ СИСТЕМЫ ПЕРСОНАЛЬНОГО РАДИОВЫЗОВА И ДЕКОДЕР ДЛЯ СИСТЕМЫ ПЕРСОНАЛЬНОГО РАДИОВЫЗОВА

(57) Реферат:

Изобретение относится к вычислительной технике и технике связи. Его использование в системах персонального радиовызова позволяет передавать сообщения абонентам с высокой достоверностью несмотря на импульсные помехи и Релевские замирания в радиоканале, а кроме того, за счет стробирования работы приемников повысить срок службы используемых в них источников питания. Этот результат достигается благодаря тому, что на передающей стороне при кодировании $k-1$ символов кодового слова из передаваемого сообщения дополняют часть собственного адреса абонентского приемника и кодируют кодом Ридда-Соломона (РС) (п, к), перемежение кодированных слов производят с учетом группового адреса абонентского приемника, а на приемной стороне в процессе демодуляции выделяют синхросылку и стробируют приемник в моменты прихода этой синхросылки и той части кодового слова, которая соответствует групповому адресу приемника, а после деперемежения принятых слов декодируют их в смежном классе того кода РС (п, к-1), который вложен в используемый на

передающей стороне код РС (п, к), причем лидер этого смежного класса определяется частью собственного адреса приемника. Декодер, содержащий демодулятор 11, блок 14 управления, блок 15 постоянной памяти, блок 16 декодирования и блок 17 деперемежения, дополнен таймером 13 и блоком 12 синхронизации, который имеет специальное выполнение. 2 с. и 5 з.п. ф-лы, 13 ил., 4 табл.



RU 2 108 667 C1

RU 2 108 667 C1



(19) RU (11) 2 108 667 (13) C1
(51) Int. Cl.⁶ H 03 M 13/00

RUSSIAN AGENCY
FOR PATENTS AND TRADEMARKS

(12) ABSTRACT OF INVENTION

(21), (22) Application: 94002003/09, 19.01.1994

(46) Date of publication: 10.04.1998

(71) Applicant:
Aksionernoe obshchestvo "Tejvas"

(72) Inventor: Portnoj S.L.,
Gridnev O.A., Kurochkin V.G., Gotovin
O.B., Skitalinskij K.T.

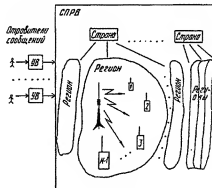
(73) Proprietor:
Aksionernoe obshchestvo "Tejvas"

(54) DATA CODING AND DECODING METHOD FOR PERSONAL RADIO CALL SYSTEM AND DECODER FOR PERSONAL RADIO CALL SYSTEM

(57) Abstract:

FIELD: computer and communication engineering. SUBSTANCE: on sending end, when coding K-1 characters of code word, the latter is supplemented with part of receiver own address from transmitted message and coded with Reed-Solomon code (n,k), coded words are interlaced including group address of subscriber receiver, on receiving end, sync pulse is separated in the course of demodulation and receiver is gated soon as this sync pulse and part of code word corresponding to receiver group address arrive; upon deinterlacing received words, the latter are decoded in adjacent class of Reed-Solomon code (n, k-1) embedded in Reed-Solomon code (h,k) used on sending end; leader of this adjacent class is determined by part of receiver own address. Decoder has demodulator 11, control unit 14, read-only storage unit 15, decoding unit 16, and deinterlacing unit 17; in addition, it is provided with timer 13, and synchronizing

unit 12 which is specially designed. EFFECT: improved confidence of messages transmitted in spite of pulse noise and Rayleigh fading in radio channel; increased service life of power supplies used in receivers. 7 cl, 13 dwg, 4 tbl



Фиг.1

RU 2 108 667 C1

RU 2 108 667 C1

Изобретение относится к вычислительной технике и технике связи и может быть использовано при создании систем массового обслуживания с множественным доступом, например систем персонального радиовызова (СПРВ), которые могут работать, например, в УКВ диапазоне частот.

В подобных системах актуальной является задача борьбы с длинными пакетами ошибок, вызванных импульсными помехами, и с медленными Релеевскими замираниями в канале связи. Стандартным методом для решения этой задачи является

скремблирование (перестановка) данных на передающей стороне и дескремблирование (обратная перестановка) данных на приемной стороне. Например, в патенте ЕПВ N 0155882, кл. N 03 M 13/00, опубли. 1985, описан способ и устройство для защиты от ошибок при передаче кадров цифровой информации. В указанном способе в каждом кодовом слове выделяется существенная часть, которая кодируется добавлением избыточных разрядов и затем распределяется в пределах длительности того же кодового слова по интервалам, чередуясь с фрагментами остальной части кодового слова, никак не кодируемой. На приеме существенная часть объединяется и декодируется с исправлением ошибок, а остальная часть при наличии ошибок или стираний заменяется заданной последовательностью символов, например последовательностью режима молчания. Соответствующий декодер содержит демодулятор, блок декодирования и блок дегереремехения. В этой системе, однако, возможно появление неуграниченных ошибок или стираний, вызванных помехами, перекрывающими по длительности несколько кодовых слов.

Наиболее близким к заявляемому является способ побочной передачи слов цифровой информации, описанный в патенте ЕПВ N 0204635, кл. N 03 M 13/00, опубли. 1986, в котором имеется такое описание соответствующих устройств. Этот способ включает на передающей стороне:

- кодирование каждого передаваемого k -символьного слова блоковым кодом (n, k) , где $n-k$ - число проверочных символов блокового кода (n, k) ;
- формирование p блоков кодовых слов путем перемежения символов w кодовых слов $(w > 1)$, относящихся к одному информационному сообщению;
- перемежение блоков кодовых слов в пределах заданного периода T ;
- формирование кодового кадра длительностью $T > T'$ из совокупности перемеженных блоков кодовых слов и синхросопылки;
- модуляцию сформированным кодовым кадром сигнала несущей частоты и передачу его по радиоканалу;

на приемной стороне:

- прием на каждом приемнике передаваемого сигнала, его демодуляцию и выделение синхросопылки;

- формирование w кодовых слов, относящихся к одному сообщению, путем дегеремехения символов в p блоках кодовых слов;

- декодирование w сформированных кодовых слов одного информационного сообщения с исправлением возможных

ошибок.

Соответствующий декодер содержит демодулятор, группа информационных выходов которого соединена с первой группой информационных входов блока оперативной памяти, блок декодирования, блок дегеремехения и блок управления.

Как описанный способ, так и реализующий его декодер могут быть использованы для СПРВ. Однако применяемое в данном способе кодирование достаточно сложно, что особенно заметно проявляется в сложности реализующего этот способ декодера. Кроме того, при использовании данного способа в СПРВ приемники информации должны все время находиться в режиме приема, из-за чего быстро выработывается ресурс их источников питания.

Предлагаемый способ гарантирует высокую степень достоверности получаемой абонентами информации за счет применения оригинального метода обнаружения и коррекции искажений, в частности длинных пакетов ошибок. Кроме того, этот способ позволяет обеспечить отбрасывание приемников благодаря соответствующему выполнению декодера, что резко увеличивает срок службы их источников питания. Для достижения этого технического результата в способе кодирования и декодирования данных для системы персонального радиовызова, включающем на передающей стороне:

- кодирование каждого передаваемого k -символьного слова блоковым кодом (n, k) , где $n-k$ - число проверочных символов блокового кода (n, k) ;
- формирование p блоков кодовых слов путем перемежения символов w кодовых слов $(w > 1)$, относящихся к одному информационному сообщению;
- перемежение блоков кодовых слов в пределах заданного периода T ;
- формирование кодового кадра длительностью $T > T'$ из совокупности перемеженных блоков кодовых слов и синхросопылки;
- модуляцию сформированным кодовым кадром сигнала несущей частоты и передачу его по радиоканалу;

на приемной стороне:

- прием на каждом приемнике передаваемого сигнала, его демодуляцию и выделение синхросопылки;
- формирование w кодовых слов, относящихся к одному сообщению, путем дегеремехения символов в p блоках кодовых слов;
- декодирование w сформированных кодовых слов одного информационного сообщения с исправлением возможных ошибок;

на передающей стороне:

- каждое передаваемое k -символьное слово формируют путем дополнения к $k-1$ символам информационного сообщения одной из w частей собственного адреса приемника, которому предназначено данное информационное сообщение, причем в качестве блокового кода (n, k) используют код Ричи-Соломона (n, k) ;
- перемежение блоков кодовых слов осуществляют для информационных сообщений с разными групповыми адресами в соответствии с заданным порядком

следования групповых адресов;
- кодовый кадр формируют путем добавления синхросигнала длительностью t перед каждой совокупностью длительностью T перемеженных блоков кодовых слов, так что $T = t + T_1$;

на приемной стороне:
- после выделения синхросигнала в приемнике стробируют его двумя последовательностями импульсов с периодом T каждая, импульсы первой из которых с длительностью t совпадают по времени с синхросигналами, а импульсы второй последовательности с длительностью, равной длительности одного блока кодовых слов, задерживают относительно импульсов первой последовательности на время, определяемое групповым адресом данного приемника и законом перемежения блоков кодовых слов на передающей стороне;

- в выделенных во время действия импульсов второй последовательности блоках кодовых слов выполняют перемежение символов, из которых формируют кодовые слова;

- полученные при перемежении символов в n блоках кодовых слов кодовые слова декодируют с исправлением ошибок в смежном классе кода Рида-Соломона ($n, k-1$), вложенного в используемый на передающей стороне код Рида-Соломона (n, k), и лидер смежного класса этого ($n, k-1$) кода Рида-Соломона определяется той из w частей собственного адреса данного приемника, которой дополнены $k-1$ символов информационного сообщения на передающей стороне;

декодированное информационное сообщение выдают получателю.
Особенностью данного способа является то, что передаваемое сообщение на передающей стороне повторяют несколько раз, а на приемной стороне повторяют декодирование кодового слова в каждом стробируемом периоде T .

Еще одной особенностью этого способа является то, что в качестве синхросигнала используют импульсную m -последовательность.

Для достижения того же технического результата в декодер системы персонального радиовысеза, содержащий демодулятор, группа информационных выходов которого соединена с первой группой информационных входов блока оперативной памяти, блок декодирования, блок перемежения и блок управления, введен блок синхронизации и таймер, первый и второй выходы синхросигнала демодулятора подключены к одноименным информационным входам блока синхронизации, выход которого соединен с информационным входом таймера, выход которого подключен к первому входу блока управления, первый выход которого соединен с управляющим входом демодулятора, второй выход блока управления подключен к входу синхронизации демодулятора, третий выход и первая группа выходов блока управления соединены соответственно с тактовым входом и группой управляющих входов блока синхронизации, вторая-пятая группы выходов блока управления подключены соответственно к группам управляющих и адресных входов

блока оперативной памяти, группе управляющих входов блока перемежения и группе управляющих входов блока декодирования, четвертый выход управления соединен с тактовым входом блока декодирования, выход и группа выходов которого подключены соответственно к второму входу блока управления и второй группе информационных входов блока оперативной памяти, первая группа выходов которого соединена с группой информационных входов блока перемежения, группа выходов которого подключена к группе информационных входов блока декодирования, вторая группа выходов блока оперативной памяти и шестая группа выходов блока управления являются соответственно информационными и управляющими выходами декодера.

При этом блок синхронизации предложенного декодера содержит генератор m -последовательности, сдвиговой регистр, первый и второй счетчик импульсов, компаратор, распределитель импульсов, триггер, сумматор по модулю два, элемент И и мультиплексор, первый информационный вход которого является одноименным входом блока, выход подключен к информационному входу сдвигового регистра, выход которого соединен с вторым информационным входом мультиплексора и с первым входом сумматора по модулю два, выход которого подключен к установочному входу первого счетчика импульсов, счетные входы распределителя импульсов и второго счетчика импульсов объединены и являются вторым информационным входом блока, тактовые входы распределителя импульсов и генератора m -последовательности объединены и являются тактовым входом блока, первый-пятый выходы распределителя импульсов соединены соответственно с управляющим входом мультиплексора, тактовым входом сдвигового регистра, входом обнуления первого счетчика импульсов, входом синхронизации генератора m -последовательности и счетным входом первого счетчика импульсов, разрядные выходы которого подключены к первой группе входов компаратора, выход которого соединен с первым входом элемента И, вторая группа входов компаратора и объединенные входы обнуления распределителя импульсов, триггера и генератора m -последовательности образуют группу управляющих входов блока, выход второго счетчика импульсов подключен к установочному входу триггера, выход которого соединен с входом обнуления второго счетчика импульсов и первым управляющим входом распределителя импульсов, первый выход генератора m -последовательности подключен к второму входу сумматора по модулю два, второй выход генератора m -последовательности соединен с вторым управляющим входом распределителя импульсов и вторым входом элемента И, выход которого является выходом блока.

В этом блоке синхронизации распределитель импульсов содержит первый-третий триггеры, элемент "Запрет", элементы ИЛИ и элементы НЕ, информационный вход первого триггера объединен с входом первого элемента НЕ и

является счетным входом распределителя, счетные входы первого и второго триггеров объединены с первыми входами первого и второго элементов И и являются тактовым входом распределителя, первые входы первого-четвертого элементов ИЛИ объединены и являются входом обнуления распределителя, первый вход третьего элемента И и второй вход третьего элемента ИЛИ являются соответственно первым и вторым управляющими входами распределителя, выход первого элемента ИЛИ соединен с входом обнуления первого триггера, выход которого подключен к разрешающему входу элемента "Запрет" и второму входу четвертого элемента ИЛИ и информационному входу второго триггера, выход первого элемента НЕ соединен с вторым входом второго элемента ИЛИ, выход которого подключен к входу обнуления второго триггера, выход которого соединен с вторым входом первого элемента ИЛИ и третьего элемента И, выход третьего элемента И соединен со счетным входом третьего триггера, информационный вход которого подключен к источнику логической "1", выход третьего элемента ИЛИ соединен с входом обнуления третьего триггера, выход которого подключен к запрещающему входу элемента "Запрет", вторым входом первого и второго элементов И и является первым входом распределителя, входы элемента "Запрет" и первого элемента И соединены с входами пятого элемента ИЛИ, выход которого является вторым выходом распределителя, выход четвертого элемента ИЛИ является третьим выходом распределителя, выход второго элемента И соединен с входом второго элемента НЕ и является четвертым выходом распределителя, выход второго элемента НЕ является пятым выходом распределителя.

Кроме того, в вышеуказанном блоке синхронизации генератор m-последовательности содержит с первого по восьмой триггеры, сумматор по модулю два, первый и второй элементы ИЛИ, элемент ИЛИ-НЕ, первый и второй элементы НЕ, тактовые входы триггеров с первого по седьмой объединены и являются входом синхронизации генератора, тактовый вход восьмого триггера является тактовым входом генератора, установочный вход первого триггера объединен с входами обнуления триггеров с второго по шестой и с первыми входами первого и второго элементов ИЛИ и является входом обнуления генератора, выход первого триггера подключен непосредственно и через первый элемент НЕ - к первым входам соответственно сумматора по модулю два и элемента ИЛИ-НЕ, выходы которых соединены с информационными входами соответственно второго и седьмого триггера, выход каждого из триггеров с второго по пятый подключен к соответствующему входу элемента ИЛИ-НЕ и информационному входу следующего триггера, выход шестого триггера соединен с информационным входом первого триггера, вторым входом сумматора по модулю два, входом второго элемента НЕ и является первым выходом генератора, выход второго элемента НЕ подключен к шестому входу элемента ИЛИ-НЕ, прямой выход седьмого триггера соединен с информационным входом

восьмого триггера и является вторым выходом генератора, инверсный выход седьмого триггера подключен к второму входу второго элемента ИЛИ, выход которого соединен с входом обнуления восьмого триггера, прямой выход которого подключен к второму входу первого элемента ИЛИ, выход которого соединен с входом обнуления седьмого триггера.

Приведенные совокупности существенных признаков как способа, так и декодера, неизвестны из существующего уровня техники ни в целом, ни в своих отличительных от прототипа частях. Поэтому данное предложение удовлетворяет, по мнению заявителя, условиям патентоспособности "новизна" и "изобретательский уровень".

На фиг. 1 изображен пример системы с множественным доступом типа СРВ.

На фиг.2 показано разбиение адресного пространства системы СРВ.

На фиг.3 показана структура кадров, из которых состоит пакет передаваемых сообщений системы СРВ.

На фиг.4 представлена структура передаваемого сообщения для абонента системы СРВ.

На фиг. 5 показана структура интервалов, из которых состоит кадр.

На фиг.6 изображена структурная схема устройства, позволяющего осуществлять в каком-либо регионе передачу сигнала СРВ.

На фиг.7 показана структурная схема декодера абонентского приемника системы СРВ.

На фиг.8 представлена функциональная схема блока синхронизации абонентского приемника.

На фиг. 9 показаны временные диаграммы, поясняющие работу блока синхронизации декодера.

На фиг.10 приведена функциональная схема генератора m-последовательности блока синхронизации.

На фиг.11 изображена функциональная схема блока декодирования декодера.

На фиг. 12 представлена функциональная схема блока дегерережежения декодера.

На фиг. 13 приведена временная диаграмма, поясняющая работу декодера абонентского приемника СРВ сигналов.

Предлагаемый способ позволяет осуществлять вызов и передачу информации как отдельно взятому абоненту, так и группе абонентов.

Для передачи сообщения конкретному адресату отправитель должен указать код страны, региона и индивидуальный код адресата (получателя), которому адресуется передаваемая информация. Устройством ввода УВ информации могут служить, например, телефон или ПЭВМ (см. фиг.1). Введенное сообщение различными телекоммуникационными средствами доставляется в нужный регион, где посредством радиопередачи попадает к конкретному абоненту. Каждому абонентскому приемнику присвоен один уникальный номер из адресного поля $M=2^m$, где m-многократное адресных бит в системе для определения индивидуального кода абонента. Абоненты системы могут быть дополнительно объединены в группы с определенным групповым адресом для получения одной какой-либо информации абонентами сразу

всей группы. В зависимости от количества абонентов и групп абонентов количество используемых адресных кодов в каждом регионе может меняться от 0 до M.

С целью уменьшения энергопотребления индивидуальных приемников и увеличения ресурса их работы от автономных источников питания (аккумуляторов, батарей) приемники разбиваются на группы, каждая из которых выходит на связь в определенные промежутки времени. Каждая из этих групп приемников имеет одинаковый групповой адрес из поля адресов $L=2^l$, которое является подмножеством всего адресного поля M. Индивидуальный код каждого приемника складывается из группового адреса, одного из L_i и собственного адреса, одного из $M_{ij}=2^{l_j}$, где l_j - количество адресных бит, содержащихся в передаваемом сообщении (см. фиг. 2.). Для радиопередачи сообщений может использоваться комбинация канала ЧМ радиодиффузия с системой передачи данных типа СПРВ.

Для передачи сообщений по радиоканалу применяются сигналы сложной структуры, позволяющие осуществлять пакетную передачу данных (см. фиг. 3). Пакет состоит из B кадров, имеющих оригинальную структуру, причем количество кадров B может изменяться в широких пределах в зависимости от количества передаваемой информации и временного промежутка, выделенного для работы данной системы в канале связи. Кадр состоит из (n+1) интервала, где 0-й интервал используется для передачи синхропосла, которое используется для обеспечения покадровой синхронизации, а интервалы с 1-го по n-й отведены для передачи сообщений абонентам системы, причем каждый интервал с 1-го по n-й разбит на L промежуток. Каждый промежуток с 0-го по (L-1)-й закреплён для передачи сообщений за совокупностью приемников, имеющих один групповой адрес. Так все приемники, например, с (L-2)-м групповым адресом для получения своего сообщения выйдут на связь только в (L-2)-е промежуток во всех интервалах с 1-го по n-й.

Индивидуальное сообщение представляет собой набор кодовых слов, несущих в себе собственный адрес приемника абонента и информационное сообщение, предназначенное для него. Сообщение, структура которого показана на фиг. 4, состоит из W кодовых слов. Кодовое слово содержит k информационных символов с 0 по U_{k-1} , стоящих на первых местах, и n-k проверочных символов с U_k по U_{n-1} .

При передаче с целью защиты сообщений от длинных пакетов ошибок и Релевских замраний, возникающих в канале связи, применяются перемежение символов кодовых слов одного сообщения, из которых формируются блоки, а затем производится перемежение блоков, относящихся к разным сообщениям. В табл.1 показан способ формирования блоков из кодовых слов одного сообщения. Например, блок 1 представляет собой последовательность символов u_0 1-го, 2-го и т. д. w-го кодового слова одного сообщения.

Для большего разнесения блоков одного сообщения в кадре производится перемежение блоков сообщений, имеющих

разные групповые адреса (см. фиг.5). Как раз с этой целью часть кадра, отведенная под передачу сообщений, разбита на p интервалов с 1-го по n-й, что дает возможность передавать следующие:

- на протяжении 1-го интервала в промежутки с 0-го по (L-1)-й блоки типа 1 (см. табл.1) соответственно для приемников с групповыми адресами с 0-го по (L-1)-й;
- на протяжении 2-го интервала в промежутки с 0-го по (L-1)-й блоки типа 2 соответственно для приемников с групповыми адресами с 0-го по (L-1)-й и т. д.
- на протяжении n-го интервала в промежутки с 0-го по (L-1)-й блоки типа n соответственно для приемников с групповыми адресами с 0-го по (L-1)-й.

Для формирования синхропосла используется m-последовательность, причем длина последовательности выбирается исходя из вероятности ложной тревоги (результат - ложная синхронизация), вероятности пропуска сигнала и длины кадра. Эти параметры в каждом конкретном случае заданы. Например, при $L=256$, $n=6$, $w=4$, $\log_2 q=4$, где q - алфавит символов кодового слова, и вероятности ложной тревоги 10^{-8} при исправлении 5 ошибок в синхропосле длина m-последовательности будет составлять 63 бита, и ее можно породить полиномом $g(x)=x^6+x+1$.

Для получения кодового слова применяется код Рид-Соломона (РС) в поле Галуа GF(q). Так как коды РС обладают свойством вложенности, т.е. если в поле GF(q) существует код РС (n,k), то в него вложено q кодов РС (n,k-1). Причем если $0, c_1, c_2, \dots, c_{q-k-1}$ представляют все кодовые слова кода А (n, k-1), то остальные q-k коды (n,k-1), будут являться смежными классами для кода А. Найти кодовые слова любого из этих q-k кодов можно путем сложения кодового слова c_i кода А с словами соответствующего смежного класса v_i . Например, для слова c_2 кода А словами смежных классов будут являться $c_2 + v_1, c_2 + v_2, \dots, c_2 + v_{q-k-1}$, где каждый v_i представляет собой лидер смежного класса. Лидер смежного класса v_i несет в себе информацию о собственном адресе приемника, а в словах c_i кода А содержится информационное сообщение для данного приемника.

Собственный адрес приемника, содержащий y бит (см. фиг. 2), разбивается на w частей или символов y_1, y_2, \dots, y_w , которые определяют лидеры смежных классов v_1, v_2, \dots, v_w для каждого из w кодовых слов сообщения.

На примере кода РС (6,3) в поле GF(2⁴), построенного по примитивному многочлену $m(x)=x^4+x+1$, рассмотрим алгоритмы и процессы кодирования-декодирования кодовых слов. Отметим, что в поле GF(2⁴) в код РС (6,3) вложено 16 кодов (6,2). Определим код РС (6,3) с учетом общего определения кода РС, данного в [1], как код, состоящий из всех слов длины n=6, для которых выполняется d-1=3 уравнений:

$$\sum_{i=0}^5 u_i a_{5-i}^m = 0, \quad u_i \in GF(2^4), m = \overline{1,3}, \quad (1)$$

где d_1 - степени примитивного элемента поля $GF(2^4)$.

Осуществляется систематическое кодирование и проверочные символы u_3, u_4, u_5 находятся из системы уравнений (1). Так как информационные символы u_0, u_1, u_2 известны, то можно найти

$$s_j = u_0^j + u_1^j + u_2^j + u_3^j + u_4^j + u_5^j \quad \text{для } j = \overline{1,3}.$$

Тогда система (1) может быть представлена в виде:

$$\sum_{i=3}^5 u_i a_{5-i}^m = -s_j, \quad m = \overline{1,3}, \quad (2)$$

Матрица коэффициентов системы (2) является матрицей Вандермонда, ее решение всегда существует и единственно. Проверочные символы находятся перемножением вектора $s = (S_1, S_2, S_3)$ на обратную матрицу коэффициентов системы (2) M^{-1} :

$$(u_3, u_4, u_5) = sM^{-1}.$$

$$\text{где } M^{-1} = \begin{bmatrix} a^6 & a^7 & a \\ a^8 & a^{13} & a^4 \\ a^3 & a^5 & a^0 \end{bmatrix}.$$

Дополняя символы u_0, u_1 , используемые для кодирования информации, передаваемой абоненту, символом u_2 равным одному из w символов u_1, u_2, \dots, u_w собственного адреса приемника, находят проверочные символы u_3, u_4, u_5 и формируют кодовое слово $u_0, u_1, u_2, u_3, u_4, u_5$. В табл. 2 сведены лидеры смежных классов и несколько кодовых слов в смежных классах кода (6,2), вложенного в рассматриваемый код РС (6,3). В первой строке сверху показаны кодовые слова кода А, включающие в себя 0-е слово. Последовательный перебор значений символа u_2 определяет порядок следования сверху вниз в таблице лидеров смежных классов v_1, v_2, \dots, v_{15} . Процесс кодирования также хорошо виден на примере этой таблицы. Зафиксировав символ u_2 для кодирования адреса абонента, а символы u_0, u_1 для кодирования информации, передаваемой абоненту, находят проверочные символы u_3, u_4, u_5 и полученное слово $q + v_i$ используют как кодовое слово для передачи в радиоканале в описанном выше формате сообщения.

Из радиоканала приемник получает слово $q + v_i + e$, где e - вектор ошибок, наложившийся на сигнал в результате помех. При декодировании к полученному из канала слову прибавляется v_e лидер смежного класса, соответствующий значению u_2 собственного адреса приемника. Тогда получают синдром:

$$s = [(q + v_i) + v_e + v_j]H^T,$$

где H - проверочная матрица.

Рассмотрим несколько случаев. В первом случае пусть $e=0$ (сигнал принят без искажений). Тогда, если $v_i = v_e$, т.е.

собственный адрес приемника совпал с адресом передаваемого сообщения, то $s = c_i H^T = 0$ и информация в c_i считается верной. Если же $v_i \neq v_e$, то $s = (c_i + v_i + v_e)H^T = c_i H^T \neq 0$, и c_i отличается от передаваемого $(c_i + v_i)$ в $(d-1)=4$ символах. Следовательно, полученное слово c_i не будет лежать ни в одной из сфер декодирования кодовых слов с радиусом $t = \frac{d-1}{2}$, т.е. в данном случае декодер

откажется от декодирования. И так будет всегда, пока v_i не станет равным v_e или, другими словами, пока адрес посылаемого сообщения и собственный адрес приемника не совпадут.

Рассмотрим второй случай, когда $e=0$ (сигнал принят с искажениями) и вариант, при котором $v_i = v_e$, т.е. когда собственный адрес абонентского приемника совпадает с адресом передаваемого сообщения. Если вектор ошибок e исказит один или два символа, то по синдрому $s = [(c_i + v_i) + v_e + e]H^T = (c_i + e)H^T$ декодером

найдутся значения и положения одной или двух ошибок в принятом слове. Ошибки в этом случае исправляются и информация в c_i считается верной. Если же искажено более двух символов в слове, то декодер отказывается от декодирования.

При $e=0, v_i \neq v_e$, когда собственный адрес приемника не совпадает с адресом передаваемого сообщения, получим синдром $s = (c_i + v_i + v_e)H^T = c_i H^T \neq 0$. При этом возможны комбинации вектора ошибок e , из которых принятое слово c_i попадет в одну из сфер декодирования кодовых слов, т.е. произойдет декодирование сообщения, имеющего чужой собственный адрес и предназначенного для другого абонента. Для предотвращения подобной ситуации собственный код абонентского приемника передается пофрагментно (в рассматриваемом примере посимвольно) в каждом кодовом слове сообщения. Тогда вероятность появления

такого ложного срабатывания будет $P_{\text{ш}} = \frac{w}{2^m}$, где $P_{\text{ш}}$ - вероятность перехода из "чужого" кодового слова в "свое". В случае использования при кодировании кода РС (6,3) с применением декодера с исправлением двух ошибок в смежном классе кода (6,2) вероятность ошибочного декодирования слова из другого смежного класса $P_{\text{ош2}}$ при двух случайных ошибках в кодовом слове будет согласно результатам моделирования $2,5 \cdot 10^{-2}$. При передаче четырех кодовых слов в сообщении ($w=4$) вероятность ложного срабатывания будет $P_0 = \frac{4}{P_{\text{ош2}}} = 3,9 \cdot 10^{-7}$.

Таким образом, используя номер смежного класса кода РС $(n, k-1)$ в качестве собственного адреса абонентского приемника и применяя декодер, реализующий конструктивное расстояние $(n, k-1)$ кода РС в конкретном смежном классе кода $(n, k-1)$, удается повысить помехоустойчивость системы.

Рассмотренный формат передачи сообщений позволяет восстановить передаваемую информацию в случаях искажения достаточно больших участков

передаваемого радиосигнала. Так, при искажении всей информации одного из интервалов T/n части кадра, содержащего L блоков, что составляет $\frac{T/n}{T \cdot L} \approx \frac{1}{n}$ часть

кадра ($\epsilon \ll T$), индивидуальные приемники будут получать свои сообщения верными. При искажении 2L блоков, что соответствует приблизительно 2/n части кадра, вероятность получения искаженной информации индивидуальными приемниками будет Pa.

Реализация рассмотренного способа на передающей стороне может быть осуществлена с помощью устройства, схема которого приведена на фиг. 6. Это устройство содержит блок 1 ввода, вход которого подключен к телефонной линии 9 связи, формирователь 2 сообщений, кодер 3, первый и второй блоки 4, 5 перемежения, формирователь 6 синхрослоса, формирователь 7 кодового кадра и модулятор 8, выход которого подключен к входу линии 10 связи. Выход блока 1 ввода соединен с входом формирователя 2 сообщений, выход которого соединен с входом кодера 3, выход которого подключен к входу первого блока 4 перемежения, выход которого соединен с входом второго блока 5 перемежения, выход которого, а также выход формирователя 6 синхрослоса подключены соответственно к первому и второму входам формирователя 7 кодового кадра, выход которого подключен к входу модулятора 8.

На приемной стороне декодер содержит (фиг. 7) демодулятор 11, блок 12 синхронизации, таймер 13, блок 14 управления, блок 15 оперативной памяти, блок 16 декодирования и блок 17 деперемежения. Группа информационных выходов демодулятора 11 соединена с первой группой информационных входов блока 15 оперативной памяти. Первый и второй выходы синхросигнала демодулятора 11 подключены к одноименным информационным входам 31 и 32 блока 12 синхронизации, выход которого соединен с информационным входом таймера 13, выход которого подключен к первому входу блока 14 управления, первый 41 выход которого соединен с управляющим входом демодулятора 11. Второй выход 42 блока 14 управления подключен к входу синхронизации демодулятора 11. Третий выход 43 и первая группа 45 выходов блока 14 управления соединены соответственно с тактовым входом 33 и группой 34 управляющих входов блока 12 синхронизации. Вторая-пятая группы 46-49 выходов блока 14 управления подключены соответственно к группам управляющих и адресных входов блока 15 оперативной памяти, группе управляющих входов 93 блока 17 деперемежения и группе управляющих входов 101 блока 16 декодирования. Четвертый выход 44 блока 14 управления соединен с тактовым входом блока 16 декодирования, выход и группа выходов которого подключены соответственно к второму входу блока 14 управления и второй группе информационных входов блока 15 оперативной памяти, первая группа выходов которого соединена с группой информационных входов блока 17 деперемежения, группа выходов которого подключена к группе 102 информационных входов блока 16 декодирования. Вторая

группа выходов блока 15 оперативной памяти и шестая группа 50 выходов блока 14 управления являются соответственно информационными и управляющими выходами декодера. К выходам декодера может быть подключен индикатор 18, например, на жидких кристаллах.

Демодулятор представляет собой, например, при работе в УКВ ЧМ диапазоне, детектор ЧМ сигнала, описанный в [2], к выходу которого подключен компаратор для перевода аналогового сигнала в цифровой вид, передающий цифровой сигнал на регистр сдвига с параллельным выходом, работающий на 8-ми или другой разрядности шины данных. В качестве компаратора могут быть применены, например, микросхемы K544CA2 или K697CA2, характеристики которых приведены в [3]. В качестве регистра может быть использована, например, микросхема K155AP1.

Блок 12 синхронизации может содержать (см. фиг. 8) мультиплексор 21, сдвиговый регистр 22, сумматор 23 по модулю два, первый и второй счетчики 24, 28, компаратор 25, генератор 26 m-последовательности, распределитель 27 импульсов, триггер 29 и элемент И 30. Первый информационный вход мультиплексора 21 соединен с одноименным входом блока, выход которого подключен к информационному входу сдвигового регистра 22, выход которого соединен с вторым информационным входом мультиплексора 21 и с первым входом сумматора 23 по модулю два, выход которого подключен к установочному входу счетчика 24 импульсов. Счетные входы распределителя 27 импульсов и второго счетчика 28 импульсов объединены и являются вторым информационным входом 32 блока 12. Тактовый вход распределителя 27 импульсов и тактовый вход 36 генератора 26 m-последовательности объединены и являются входом 33 блока 12. Первый-пятый выходы 65-69 распределителя 27 импульсов соединены соответственно с управляющим входом мультиплексора 21, тактовым входом сдвигового регистра 22, входом обнуления первого счетчика 24 импульсов, входом 35 синхронизации генератора 26 m-последовательности и счетным входом первого счетчика 24 импульсов, разрядные выходы которого подключены к первой группе входов компаратора 25, выход которого соединен с первым входом элемента И 30. Вторая группа входов компаратора 25 и объединенные входы обнуления распределителя 27 импульсов, триггера 29, а также вход 37 обнуления генератора 26 m-последовательности образуют соответственно входы 34.1 и 34.2 группы 34 управляющих входов блока 12. Выход второго счетчика 28 импульсов подключен к установочному входу триггера 29, выход которого соединен с входом обнуления второго счетчика 28 импульсов и первым управляющим входом распределителя 27 импульсов. Первый выход 38 генератора 26 m-последовательности подключен к второму входу сумматора 23 по модулю два. Второй выход 39 генератора 26 m-последовательности соединен с вторым управляющим входом распределителя 27 импульсов и вторым входом элемента И 30, выход которого является выходом блока 12.

В блоке 12 синхронизации распределитель 27 импульсов может содержать первый-третий триггеры 51-53, элемент 54 "Запрет", первый-третий элементы И 55-57, первый и второй элементы И 58, 59 НЕ, первый-пятый элементы 60-64 ИЛИ. Информационный вход первого триггера 51 объединен с входом первого элемента 58 НЕ и является счетным входом распределителя 27. Счетные входы первого 51 и второго 52 триггеров объединены с первым входом первого 55 и второго 56 элементов И и являются тактовым входом распределителя 27. Первые входы первого-четвертого элементов 60-63 ИЛИ объединены и являются входом обнуления распределителя 27, первый вход третьего элемента И57 и второй вход третьего элемента ИЛИ 62 являются соответственно первым и вторым упреждающими входами распределителя 27. Выход первого элемента ИЛИ 60 соединен с входом обнуления первого триггера 51, выход которого подключен к разрешающему входу элемента 54 "Запрет", второму входу четвертого элемента ИЛИ 63 и информационному входу второго триггера 52. Выход первого элемента НЕ 58 соединен с вторым входом второго элемента ИЛИ 61, выход которого подключен к входу обнуления второго триггера 52, выход которого соединен с вторыми входами первого элемента ИЛИ 60 и третьего элемента И 57. Выход третьего элемента И 57 соединен со счетным входом третьего триггера 53, информационный вход которого подключен к источнику логической "1". Выход третьего элемента ИЛИ 62 соединен с входом обнуления третьего триггера 53, выход которого подключен к разрешающему входу элемента 54 "Запрет", вторым входом первого 55 и второго 56 элементов И и является первым выходом 65 распределителя 27, выходы элемента 54 "Запрет" и первого элемента И 55 соединены с входами пятого элемента 64 ИЛИ, выход которого является вторым выходом 66 распределителя 27. Выход четвертого элемента ИЛИ 63 является третьим выходом 67 распределителя 27, выход второго элемента И 56 соединен с входом второго элемента НЕ 59 и является четвертым выходом 68 распределителя 27, выход второго элемента НЕ 59 является пятым выходом 69 распределителя 27.

Работа блока 12 синхронизации поясняется временными диаграммами, приведенными на фиг. 9.

В блоке 12 синхронизации генератор 26 м-последовательности может содержать (см. фиг. 10) первый-восьмой триггеры 71-78, сумматор 79 по модулю два, элемент ИЛИ-НЕ 80, первый и второй элементы ИЛИ 81, 82. Тактовые входы триггеров 71-77 с первого по седьмой объединены и являются входом 35 синхронизации генератора 26, тактовый вход восьмого триггера 78 является тактовым входом 36 генератора 26. Установочный вход первого триггера 71 объединен с входами обнуления триггеров 72-76 с второго по шестой и с первыми входами первого 81 и второго 82 элементов ИЛИ и является входом 37 обнуления генератора 26. Выход первого триггера 71 подключен непосредственно и через первый элемент НЕ (или инверсный вход) к первым входам соответственно сумматора 79 по модулю два и элемента

ИЛИ-НЕ 80, выходы которых соединены с информационными входами соответственно второго 72 и седьмого 77 триггеров, выходы каждого из триггеров 72-75 с второго по пятый подключены к соответствующему входу элемента ИЛИ-НЕ 80 и информационному входу следующего триггера. Выход шестого триггера 76 соединен с информационным входом первого триггера 71, вторым входом сумматора 79 по модулю два, входом второго элемента НЕ (или вторым инверсным входом элемента ИЛИ-НЕ 80) и является первым выходом 38 генератора 26. Выход второго элемента НЕ подключен к шестому входу первого элемента ИЛИ-НЕ 80. Прямой выход седьмого триггера 77 соединен с информационным входом восьмого триггера 78 и является вторым выходом 39 генератора 26. Инверсный выход седьмого триггера 77 подключен к второму входу второго элемента ИЛИ 82, выход которого соединен с входом обнуления восьмого триггера 78, прямой выход которого подключен к второму входу первого элемента ИЛИ 81, выход которого соединен с входом обнуления седьмого триггера 77.

Генератор 26 м-последовательности выполнен на базе схемы деления, описанной, например, в [4] на стр. 129, и формирует м-последовательность длиной 63 символа, с порождением полиномом $g(x)=x^{63}+x+1$.

Таймер 13 может представлять собой традиционно выполненную схему на основе, например, схем секундомера или генератора секундной последовательности, приведенных в [5] на стр. 211-216, или являться таймером, встроенным в микроЭВМ, с внешним кварцевым резонатором. Примером таких однокристальных микроЭВМ (ОМЭЗМ) может служить комплект серии КР1816, описанный в [6].

Блок 14 управления работает в соответствии с табл. 3, в которой введены следующие обозначения: V1-V6 представляет собой группы управляющих сигналов, подаваемых на блоки декодера; VU - управляющие сигналы, отвечающие за включение питания блока, символы 1 и 0 в таблице показывают соответственно питание включено или выключено; WR, RD - соответственно сигналы записи и чтения, они вырабатываются или не вырабатываются, когда в таблице стоит соответственно символ 1 или 0; символы F и W означают соответственно подачу и отсутствие подачи тактовой частоты на тактовом входе блока 17 демультиплексирования, $t_2(I)$, $t_2(II)$, ..., $t_2(VI)$ означают последовательность промежутков времени t_2 , согласно фиг. 13, с обозначенным в скобках номером принимаемого блока сообщения; $t_3(I)$ - $t_3(IV)$, $t_3(3)$ - $t_3(IV)$ означают соответственно промежутки времени декодирования кодового слова и выдачи декодированного сообщения из блока 16 декодирования в блок 15 оперативной памяти, для обозначенных в скобках номеров (с 1 по IV) кодовых слов сообщения. Блок 14 управления формирует на своих выходах 43, 44 опорные частоты R_0 , R_3 для работы соответственно блоков синхронизации 12 и декодирования 16, а также вырабатывает тактовую частоту F_1 на выходе 42 для демультиплексора 11, необходимую для синхронизации обмена информации по шине

данных.

Блок 14 управления может быть реализован, например, на базе ОМЭВМ КМ1808Е51, описанном в [7], или ОМЭВМ КР1830БЕ51, или комплекта ОМЭВМ, указанного выше.

Генератор для формирования опорных частот должен быть кварцевым, реализованным, например, согласно [5], стр. 218.

Блок 15 оперативной памяти может быть выполнен на ОЗУ, например, на микросхеме КМ1603РУ1 с организацией 1К слов с 4 разряда, характеристики которой приведены в [8].

Блок 16 декодирования (см. фиг. 11) может содержать поразрядный сумматор 94 по модулю два, первый-третий умножители 95-97, мультипликатор 98, счетчик 99, декодер 100 с исправлением ошибок. Первая группа входов поразрядного сумматора 94 по модулю два соединена с группой 102 информационных входов блока, а его адресные входы 101.1 группы 101 управляющих входов подключены к группам всех умножителей 95-97 и второй группе входов мультипликатора 98, на первую группу входов которого подается логический "0". Группа входов мультипликатора 98 подсоединена к второй группе входов поразрядного сумматора 94 по модулю два, группа входов которого соединена с группой информационных входов декодера 100 с исправлением двух ошибок, тактовый вход, вход импульсов записи, вход импульсов чтения которого соединены соответственно с тактовым входом, с входами импульсов записи 101.2 и чтения 101.3 группы 101 управляющих входов блока 16 декодирования. Вход 101.2 импульсов записи блока 16 соединен с входом счетчика 99, разрядные выходы которого подключены к группе управляющих входов мультипликатора 98, третьи-пятые группы входов которого подсоединены соответственно к группам входов первого-третьего умножителей 95-97. Группа входов и выход флага декодера 100 с исправлением двух ошибок подключены соответственно к группе входов и выходу блока 16 декодирования.

Умножители 95-97 блока 16 декодирования являются схемами умножения на степени примитивного элемента в поле Галуа GF(2^m), построение и работа которых описана, например, в [4] на с. 54-60. Декодер 100 с исправлением двух ошибок может быть реализован по структурной схеме, описанной в [9] на с. 182-185, и согласно материалам [10], или по материалам поданной заявки "Декодер с исправлением ошибок" N 83049111, датированной 18.10.93 г.

Блок деперемежения 17 может содержать первый-шестой регистры 83-88 сдвига, первый и второй мультипликаторы 89, 90, элемент И 91, счетчик 92. Первые входы первого мультипликатора 89 и элемента И 91 подключены к тактовому входу 93.1 группы 93 управляющих входов блока 17, а второй вход элемента И 91 и вход управления первого мультипликатора 89 соединены и подключены к входу 93.2 группы 93 управляющих входов. Выход элемента И 91 И соединен со счетным входом счетчика 92, выход переполнения которого подключен к второму входу первого мультипликатора 89, выход которого

подключен к тактовым входам всех регистров 83-88 с первого по шестой. Группа информационных входов первого регистра 83 соединена с одноканальными входами блока 17, а группы выходов первого-пятого регистров 83-87 подключены соответственно к группам информационных входов следующих регистров. Группа выходов шестого регистра 88 подключена к первой группе информационных входов второго мультипликатора 90, вторые-шестые группы информационных входов которого соединены соответственно с группами выходов первого-пятого регистров 87-83. Разрядные выходы счетчика 92 соединены с управляющими входами второго мультипликатора 90, группа выходов которого подключена к группе выходов блока 17 деперемежения.

Приведенная функциональная схема блока 17 деперемежения выполнена согласно алгоритму деперемежения, описанному в [9] на с. 324-325, и может быть реализована на цифровых микросхемах общего применения или на базовом матричном кристалле типа 1808ХМ1.

Работа декодера в целом поясняется временными диаграммами фиг. 13.

Кодер на передающей стороне работает следующим образом. По телефонной линии 9 связи (см. фиг. 6) на вход блока 1 ввода, который может представлять собой телефонный модем, поступает поток сообщений, которые необходимо передать посредством радиосвязи в данном регионе. С выхода блока 1 сообщения поступают в формирователь 2 сообщений, где они накапливаются до размеров передаваемого кадра, каждое информационное сообщение делится на w частей и передается последовательно в кодер 3, который формирует последовательность сообщений, каждое из которых состоит из v кодовых слов (см. фиг. 4). Затем каждая группа из w кодовых слов из кодера 3 поступает в первый блок 4 перемежения, где, согласно правилу перемежения, показанному в табл. 1, формируются блоки кодовых слов по очереди для каждого сообщения кадра. Во втором блоке 5 перемежения накапливаются блоки кодовых слов всех сообщений, принадлежащих одному кадру. Здесь происходит перемежение блоков, принадлежащих разным сообщениям, в соответствии с правилом перемежения, показанным на фиг. 5. В блоке 6 формирователя синхрослов формируется m -последовательность, которая поступает в формирователь 7 кодового кадра и присоединяется к v кодовым блокам в качестве синхрословопоследовательности в начало кадра к совокупности перемеженных блоков сообщений, поступающих из второго блока 5 перемежения (см. фиг. 3). Затем сформированная последовательность, представляющая собой кадр, поступает на модулятор 8 и передается по линии 10 связи абонентам системы.

Под линией 10 связи подразумевается усилительно-преобразовательная часть передатчика, радиоканал, линейный тракт индивидуального приемника до демодулятора.

Следует отметить, что в качестве линии 10 связи может быть использована

RU 2 108 667 C1

RU 2 108 667 C1

радиовещательная УКВ ЧМ система, сигнал которой дополнительно модулируется.

Декодер индивидуального приемника на приемном конце работает следующим образом. Основными являются следующие этапы работы декодера:

поиск и установление цикловой синхронизации;

- прием блоков сообщения в промежутки времени кадра, соответствующие групповому номеру приемника (см. фиг. 5);

- восстановление кодовых слов путем делережежения символов блоков кодовых слов;

- декодирование каждого кодового слова в смежном классе, который определен собственным адресом приемника, причем в случае отказа от декодирования хотя бы для одного кодового слова сообщения необходим отказ от сообщения, принятого в этом кадре;

- запись принятого сообщения в блок оперативной памяти и вывод его на ЖКИ.

После включения питания декодера включается питание блока 14 управления, блока 15 оперативной памяти, таймера 13. На остальные блоки декодера питание подается в определенные моменты времени в соответствии с управляющими сигналами включения питания ВU согласно табл. 3. Блок 14 управления вырабатывает сигналы управления, включающие питание демодулятора 11 и блока 12 синхронизации. С демодулятора 11 принятые сигналы поступают на вход блока 12 синхронизации, который находится в режиме поиска синхрослова, после принятия которого устанавливается блоксовая синхронизация, после чего поиск синхрослова осуществляется только в интервале времени t_0 передачи кадра (фиг. 13).

Поиск синхрослова осуществляется следующим образом. С демодулятора 11 принятые сигналы поступают на вход блока 12 синхронизации, который, накопив последовательность сигналов, равную длине синхрослова, осуществляет сравнение принятой последовательности с вырабатываемой эталонной. Если последовательности совпадают, за исключением некоторого несовпадающего количества символов, то блоком 12 синхронизации фиксируется факт нахождения синхрослова и на выходе блока 12 синхронизации вырабатывается сигнал, запускающий таймер 13. Если эталонная, вырабатываемая генератором 26

m-последовательности (см. фиг. 8), и принятая последовательность не совпадают, то блок 12 синхронизации принимает с демодулятора 11 во внутренний сдвиговый регистр 22 очередной сигнал, при этом последний символ в сдвиговом регистре 22 выкидывается и процесс сравнения последовательностей возобновляется.

Количество несовпадающих сигналов или порог устанавливается на выходах 34.1 блока 12 синхронизации в двоичном коде и определяет количество R искаженных (стертых) символов принятой последовательности, начиная с которого принятая и эталонная последовательности считаются несовпадающими. Генератор 26

m-последовательности используется одновременно для выработки символов m-последовательности и для выработки

сигнала конца цикла сравнения принятой и эталонной последовательностей. В зависимости от требований к вероятности установления ложной синхронизации и качества канала связи порог R может быть изменен и, согласно сказанному выше, например, для вероятности установления ложной синхронизации 10^{-8} порог R должен равняться 6.

Работу блока 12 синхронизации (см. фиг. 8) поясняют временные диаграммы фиг. 9. Тактовая частота F_2 , подаваемая с выхода 43 блока 14 управления на тактовый вход блока 12 синхронизации, обозначенная на фиг. 8 как F, берется в 100 или более раз выше, чем частота $F_{дем}$ прихода информационных символов из канала 10 связи, для того чтобы цикл сравнения последовательностей (длящийся 63 такта частоты F, см. диаграмму Е фиг. 9) и вырабатываемое решение о совпадении последовательностей

осуществлялись до прихода следующего символа из канала 10 связи. С первого и второго выходов демодулятора 11 на одноименные информационные входы 31 и 32 блока 12 синхронизации поступают соответственно последовательность

принятых сигналов и стробирующие эту последовательность импульсы. С первого информационного входа 31 блока 12 синхронизации через мультиплексор 21 последовательность сигналов попадает на информационный вход сдвигового регистра 22, где записывается по импульсам на тактовом входе этого регистра, которые формируются на втором выходе 66 блока

распределителя 27 импульсов (см. диаграмму G фиг. 9) из стробирующих сигналов $F_{дем}$, поступающих на счетный вход распределителя 27 с второго

информационного входа 32 блока. При этом стробирующие сигналы $F_{дем}$ поступают на счетные входы второго счетчика 28 импульсов, который вырабатывает на своем выходе импульсы на 63-м такте сигнала $F_{дем}$, устанавливающий триггер 29 в единичное состояние (см. диаграмму С фиг. 9). При возникновении логической "1" на выходах второго триггера 52 распределителя 27

импульсы (см. диаграмму В фиг. 9) и триггера 29 на выходе третьего элемента И 57 появляется сигнал, переводящий третий триггер 53 распределителя 27 в единичное состояние (см. диаграмму D фиг. 9), который коммутирует подачу тактовой частоты F на тактовый вход регистра 22 вместо сигналов с

выхода первого триггера 51, подачу тактовой частоты F на выход 68 распределителя 27 импульсов (см. диаграмму Е фиг. 9) и затем на вход 35 генератора 26

m-последовательности, а также подачу инвертированной тактовой частоты F на выход 67 распределителя 27 импульсов и затем на вход первого счетчика 24. Сигнал с третьего триггера 53 распределителя 27 импульсов также поступает на первый выход 65 распределителя 27 импульсов и попадает на управляющий вход мультиплексора 21,

осуществляет его коммутацию таким образом, что на информационный вход регистра 22 подаются сигналы с его выхода через второй вход мультиплексора 21. По тактовой частоте F сигналы со сдвигового регистра 22 и генератора 26 m-последовательности

поступают на сумматор 23 по модулю два, где складываются и поступают на установочный вход первого счетчика 24, на счетный вход которого поступает инверсия сигнала F, при этом первый счетчик 24 подсчитывает количество несопадений позиций сигнала, записанного в регистре 22, и сигнала, вырабатываемого генератором 26 m-последовательности. Компаратор 25, стоящий на выходе первого счетчика 24, сравнивает число несопадений принятой последовательности с эталонной, вырабатываемой генератором 26 m-последовательности, и вырабатывает на своем выходе сигнал логической "1", если на вторых входах число, задающее порог срабатывания компаратора, больше, чем число несопадающих позиций последовательностей, посчитанных первым счетчиком 24. В другом случае компаратором 25 вырабатывается сигнал логического "0". После выработки последнего импульса m-последовательности на втором выходе генератора 26 m-последовательности появляется сигнал логической "1" (см. диаграмму N фиг. 9), сбрасывающий в ноль третий триггер 53 распределителя 27 импульсов и дающий возможность пройти сигналу логической "1" (см. диаграмму N фиг. 9), если он есть, с компаратора 25 через элемент И 30 на выход блока 12 синхронизации. Таким образом, если принята последовательность, хранящаяся в регистре 22, отличается от эталонной, формируемой генератором 26 m-последовательности 26, в количестве позиций меньше, чем заданное число порога, то вырабатывается решение, что принята последовательность соответствует искомой, и блок 12 синхронизации вырабатывает сигнал, синхронизирующий об установке синхронизации. В противном случае сигнал на выходе блока 12 синхронизации не вырабатывается, первый триггер 51 распределителя 27 импульсов вырабатывает импульс сдвиговому регистру 22 для записи следующего символа из демодулятора 11 (см. диаграмму A фиг.9), затем третий триггер 53 опять переходит в состояние логической "1", что порождает очередной цикл сравнения последовательностей принятой и эталонной (см. диаграмму N фиг.9).

Генератор 26 m-последовательности работает следующим образом. С подачи сигнала предварительной установки на выход 37 обнуления генератор 26 устанавливается в 0-ое состояние, которое характеризуется набором логических уровней 1,0,0,0,0 на выходах соответственно первого-шестого триггеров 71-76. При подаче на вход 35 синхронизации генератора 26 такой частоты F начинают функционировать первый-шестой триггеры 71-76, вследствие чего меняются состояния генератора с 0-го по 62-ое, соответствующие всевозможным комбинациям логических уровней, за исключением комбинации всех нулей, на выходах первого-шестого триггеров 71-76. В результате работы этих триггеров на первом выходе 38 генератора формируются 63 символа m-последовательности. Когда на выходах первого-шестого триггеров 71-76 появится последовательность 1,0,0,0,0,1 логических уровней, соответствующая 62-му

состоянию генератора, на выходе 80 элемента ИЛИ-НЕ появится уровень логической "1", который, поступая на информационный вход седьмого триггера 77, переводит его на следующем такте частоты F в состояние логической "1" и на втором выходе 39 генератора 26 m-последовательности появится импульс положительной полярности, который через третий элемент ИЛИ 62 поступает на вход обнуления третьего триггера 53 распределителя 27 импульсов, который, в свою очередь, блокирует поступление тактовых импульсов F через второй элемент И 56 на вход 35 синхронизации генератора 26 m-последовательности, который, перейдя из 62-го в 0-ое состояние, останавливается и ждет поступления очередной пачки тактовых импульсов F. Восемью триггер 78 необходим для обнуления седьмого триггера 77 и формирования заднего фронта импульса на втором выходе генератора 26, о котором говорилось выше.

На управляющий вход 34,2 блока 12 синхронизации после включения его питания подается блоком 14 управления сигнал предварительной установки, осуществляющий подготовку схемы к работе.

После того, как блок 12 синхронизации выдает сигнал таймеру 13, синхронизирующий о найденном синхрослове, таймер 13 включается на отсчет последовательно промежутков времени $t_1, t_2, t_3, t_4, t_5, \dots, t_6$ (см. фиг. 13) с выданной сигналом о начале своей работы и конце каждого промежутка на первый вход блока 14 управления. Блок 14 управления, работающий согласно табл. 3, на промежутках t_1, t_3, t_4 отключает питание со всех блоков за исключением блока 15 оперативной памяти и таймера 13. В промежутки времени t_2 блок 14 управления включает питание демодулятора 11 и принятые символы с группы его информационных выходов поступают на первые группы информационных входов блока 15 оперативной памяти. При этом блок 14 управления вырабатывает импульсы записи и адреса ячеек памяти блока 15 оперативной памяти, по которым записываются символы принимаемого блока.

В промежутки времени t_5 осуществляется переименование символов блоков кодовых слов и декодирование их в смежном классе, что осуществляется последовательной работой блоков переименования 17, декодирования 16, питание которых включается в соответствии с табл. 3. Блок 14 управления формирует для блока 17 переименования управляющий сигнал WR/RD и тактовые импульсы F, по которым на его группы информационных входов поступают по очереди символы всех принятых блоков с первой группы выходов блока 15 оперативной памяти, адреса которых и импульсы чтения для блока 15 оперативной памяти вырабатываются блоком 14 управления.

Блок 17 переименования в промежуток времени $t_{6,1}$ (см. фиг. 12) по тактовым сигналам F, поступающим на вход 93.1, и управляющему сигналу WR/RD, низкого логического уровня на входе 93.2 формирует на выходе первого мультиплексора 89 сигналы тактовой частоты, поступающие на тактовые входы сдвиговых регистров 83-88,

по которым записываются $W=4$ блоков, состоящие из символов A_0, B_0, C_0, D_0 первого и т.д. A_5, B_5, C_5, D_5 последнего блоков. В промежуток времени $t_{52}(I)$ на вход 93.2 подается логический сигнал высокого уровня и по тактовой частоте F счетчиком 92 формируются управляющие сигналы для второго мультиплексора 90, коммутирующие на его выход соответственно сигналы с первого по шестой входов этого мультиплексора, в результате чего на выходе блока 17 формируется последовательность символов кодового слова A_0, \dots, A_5 . Импульсы переноса счетчика 92 транслируются мультиплексором 89 на тактовые входы сдвиговых регистров 83-88, сдвигая в них информацию на один символ. В промежутки времени $t_{52}(II)-t_{52}(IV)$ блок 17 деперемежания работает аналогичным образом, как и в промежуток времени $t_{52}(I)$, и на выходе вырабатываются соответственно символы B_1, C_1, D_1 второго-четвертого кодовых слов.

С группы выходов блока 17 деперемежания символы $w=4-x$ кодовых слов поступают на группу информационных входов 102 блока 16 декодирования (см. фиг. 11), на группу управляющих входов 101.1 которого подаются последовательно для каждого кодового слова одна из w частей собственного адреса приемника Y_1, Y_2, Y_3, Y_4 , которыми дополнены $k=1-2$ символа информационного сообщения на передающей стороне. На выход 101.2 блока 16 поступает последовательно импульсы записи, по которым счетчиком 99 для каждого кодового слова формируется последовательность управляющих сигналов, поступающих на управляющие входы мультиплексора 98, на выходе которого появляются символы лидера смежного класса (см. табл. 2), которые складываются в поразрядном сумматоре 94 по модулю два с символами кодового слова, поступающими на другой его вход. Причем для первых символов U_0, U_1 кодового слова, согласно табл. 2, на поразрядный сумматор 94 по модулю два поступают символы 0 с первой группы входов мультиплексора 98, а для остальных U_2, U_3, U_4, U_5 - символы соответствующего лидера смежного класса с второй пятой групп входов мультиплексора 98, что достигается соответствующей дешифрацией состояний счетчика 89 схемой управления переключением входов мультиплексора 98.

С группы выходов поразрядного сумматора 94 по модулю два кодовые слова поступают в декодер 100 с исправлением двух ошибок, где они декодируются и в промежуток времени t_{53} выдают на группу выходов блока 61 по сигналам WR , поступающим на вход 101.3. С группы выходов блока 16 декодирования информационные символы декодированного сообщения поступают на вторую группу информационных входов блока 15 оперативной памяти, в ОЗУ которого записываются. В случае, когда декодируемое кодовое слово не принадлежит коду A (см. табл. 2) даже после попытки исправить в нем 2 ошибки, декодером 100 вырабатывается сигнал высокого уровня, поступающий на выход FL .

Декодер 100 с исправлением двух ошибок осуществляет вычисление элементов

синдрома S_j :

$$\sum_{i=0}^5 u_i z_i^j = s_j, \quad j = \overline{1, 4},$$

где z_i - локаторы позиций символов кодового слова.

Эти элементы синдрома с применением схем перемножения на элемент поля, показанный в [4] на с. 54-60, можно вычислить за $n=6$ тактов подаваемой тактовой частоты. Затем находится множество локаторов ошибок, например с помощью алгоритма Берлекемпа-Мессис, схема аппаратной реализации которого приведена в [10] и на которую затрачивается $2L+2(t+1)$ тактов, где $t=2$ -количество исправляемых ошибок в нашем случае, после чего осуществляется процедура Чена и нахождение значений ошибок, которые занимают $n=6$ тактов. Всего для нахождения и исправления ошибок в каждом кодовом слове требуется 36 тактов тактовой частоты F , подаваемой на декодер 100 с исправлением двух ошибок.

При наличии сигнала высокого уровня на выходе FL блока 16 декодирования в моменты времени $t_{52}(V)-t_{52}(IV)$ блок 14 управления прекращает выработку сигналов для декодирования остальных кодовых слов сообщения, передаваемого в данном кадре, и с поступлением сообщения в следующем кадре повторяет описанный выше процесс декодирования.

Затем в промежуток времени t_{54} происходит выдача блоку 18 ЖКИ символов декодированного информационного сообщения для последующей индикации в промежуток времени t_6 , регулируемый потребителем, длительность которого на фиг.13 приведена условно.

Адресация памяти ОЗУ блока 15 оперативной памяти, приведенная в табл. 3, может быть расширена для записи и хранения массива принятых сообщений.

Шины данных, показанные раздельно на фиг. 7, при физической реализации удобнее объединить в одну.

Тактовая частота F_3 , подаваемая с блока 14 управления на блок 16 декодирования, должна быть как можно выше для более быстрого декодирования кодовых слов и, следовательно, уменьшения времени работы (промежутки времени t_6) энергопотребляющего блока декодирования 16.

В табл. 4 приведены некоторые характеристики системы для конкретных форматов сообщений данных, взятых в качестве примера, где для кодирования кодовых слов сообщения используется рассматриваемый ранее код РС (6,3), количество кодовых слов сообщений $w=4$, кадр содержит $n+1=7$ интервалов. Характеристики приводятся относительно количества групп сообщений в кадре и скорости передачи данных в канале 10 связи, при искажении $2L$ блоков любых двух интервалов с 1-го по n -й.

Приведем некоторые расчеты для форматов передачи сообщений, сведенных в табл. 4. При использовании в системе стандарта частот, обеспечивающих относительно незначительные опорных частот (передатчик-приемник) не более $\Delta f =$

10⁻⁵ - подстройку лобовой синхронизации проводят в каждом кадре при обнаружении синхрослов. Оценим энергопотребление блока декодера. Энергопотребление блока, включаемых блоком 14 управления согласно табл. 3, можно найти, зная длительности промежутков t_0 - t_4 (см. фиг. 13), которые определяются количеством групп сообщений в кадре и скоростью передачи информации в канале связи. Оценим длительность промежутка t_0 , в котором осуществляется переключение символов кодовых слов и декодирование кодовых слов сообщения. В промежутки времени $t_{0,1}$, $t_{0,2}$, $t_{0,4}$ осуществляется обмен данными между соответствующими блоками согласно табл. 3. Используя блок 14 управления, выполненный, например, на микросхеме КР1830ВЕ51, которая потребляет 0,1 мА при работе с тактовой частотой 100 кГц, цикл обмена по шине данных будет составлять 12 тактов. Тогда циклы обмена, согласно табл. 3, будут следующими: блок оперативной памяти - блок переключения - 12·24=288 тактов; блок переключения - блок декодирования - 12·64=288 тактов; блок декодирования - блок оперативной памяти - 12·24=96 тактов; блок оперативной памяти - блок ЖКИ - 12·8=96 тактов. Всего 768 тактов, что составляет 7,68 мс.

В промежутки времени $t_{0,2}$ блок 16 декодирования, выполненный, например, на базовом матричном кристалле (БМК) типа 1515ХМ1 и потребляющий 8 мА, может работать с подаваемой с блока 14 управления тактовой частотой $F=100$ кГц и декодировать каждое кодовое слово за 36 тактов и, следовательно, 4 слова декодируются за 144 тактов, что составляет 1,44 мс. Тогда длительность промежутка t_0 будет составлять 7,68+1,44=9,12 мс. Таймер, выполненный, например, на специализированной КМДП БИС, может потреблять 0,1 мА. Блоки переключения 17 и синхронизации 12, выполненные на БМК типа 1806ХМ1, будут потреблять по 1 мА. Блок 15 оперативной памяти, выполненный на микросхеме КМ1803РУ1, потребляет соответственно в режимах хранения и обращения 0,2 мА и 5 мА. Радиотракт приемника с демодулятором могут потреблять до 12 мА. Потребление блока 18 ЖКИ не учитывается, так как индикатор на ЖКИ может включаться потребителем на разное время (промежутки t_0 на фиг. 13).

Таймер 13, блок 15 оперативной памяти, ОЗУ которого находятся в режиме хранения, блок 14 управления работает непрерывно, пока подается питание на приемник, и потребляют $I_T=0,1+0,2+0,1=0,4$ мА. Во время поиска синхрослов (промежутки t_0) радиотракт приемника, демодулятор, блок синхронизации потребляют $I_0=12+1=13$ мА. В промежутки времени t_0 включены в работу радиотракт, демодулятор, блок оперативной памяти, ОЗУ которого находится в режиме обращения, и потребление которых составляет $I_2=12+5=17$ мА, и в промежутки t_5 работают блоки декодирования, переключения, оперативной памяти, ОЗУ которого находится в режиме обращения, и потребляют $I_6=8+1+5=14$ мА. Общее

потребление за кадр будет следующим:

$$I = I_0 \frac{t_0}{T} + I_2 \frac{t_2 \cdot n}{T} + I_5 \frac{t_5}{T} + I_6$$

где T - длительность одного кадра.

Из формулы видно, что максимальное потребление блоков приемника $I_0=13$ мА, $I_2=17$ мА, $I_5=14$ мА приходится на достаточно короткие промежутки времени, например, при количестве групп сообщений в кадре, равном 256, и скорости передачи в канале связи 700 бит/с за время передачи кадра 35,2 с длительности промежутков с высоким потреблением блока приемника будут $t_0=90$ мс, $t_2 \cdot n=137$ мс, $t_5=9$ мс, тогда как непрерывно работающие блоки потребляют всего $I_T=0,4$ мА.

Имея источник тока емкостью 0,5 А·ч и используя его на 50%, получим непрерывное время работы $T_{\text{раб}}=500/0,5/1$. Для кадров различной длины в табл. 4 приводятся соответствующие значения $T_{\text{раб}}$. Используя аккумуляторы со 100 циклами заряда/разряда, например, при $T_{\text{раб}}=20$ суток продолжительность работы источников питания составит 5,4 года, что свидетельствует о низком энергопотреблении абонентских приемников и позволяет продлить срок службы их источников питания.

Таким образом, предлагаемый способ и устройство обеспечивают получение абонентами передаваемых по СПРВ информационных сообщений с высокой степенью достоверности несмотря на возможные помехи и замирания в канале связи. При этом одновременно повышается срок службы используемых в приемниках источников питания за счет свойств формата передачи данных, позволяющего стробировать работу приемников.

Литература

1. Форни Д. Каскадные коды. М.: Мир, 1970, с. 207.
2. Проектирование радиоприемных устройств. Под ред. А.П.Сиверса. М.: Советское радио, 1976, с. 379-382.
3. Аналоговые и цифровые интегральные микросхемы. Справочное пособие. С. В. Якубовский, Н.А.Барканов, Л.И.Никольсон и др. Под ред. С.В. Якубовского. М.: Радио и связь, 1984, с. 307-314.
4. Берлекэмл Э. Алгебраическая теория кодирования. Пер. с англ. М.: Мир, 1971.
5. Микросхемы и их применение. Справ. пособие. Под общ. ред. В.А.Батушева. М.: Радио и связь, 1983.
6. Микропроцессоры и микропроцессорные комплекты интегральных микросхем. Справочник в 2-х т. Н.Н.Аверьянов, А.И.Борзенко, Ю.И.Борзенко и др. Под ред. В.А.Шахова. М.: Радио и связь, 1988, с. 329-352.
7. Проектирование цифровых устройств на однокристальных микроконтроллерах. Справ. пособие. Под ред. В.В.Сташина. М.: Энергоатомиздат, 1990.
8. Большие интегральные схемы запоминающих устройств. Справочник. А.Ю. Гордонов, Н.В.Бекин, В.В.Циркин и др. Под ред. А.Ю.Гордонова и Ю.Н.Дьякова. М.: Радио

и связь, 1990, с. 116-122.

9. Кларк Дж., мл., Кейн Дж. Кодирование с использованием ошибок в системах цифровой связи. Пер. с англ. М.: Радио и связь, 1987.

10. Блекхут Р. Теория и практика кодов, контролирующих ошибки. Пер. с англ. М.: Мир, 1986, с. 213-220.

Формула изобретения:

1. Способ кодирования и декодирования данных для системы персонального радиовызова, включающий на передающей стороне: кодирование каждого передаваемого k -символьного слова блоковым кодом (n, k) , где $(n - k)$ - число проверочных символов блокового кода (n, k) , формирование p блоков кодовых слов путем перемещения символов в кодовых словах ($w > 1$), относящихся к одному информационному сообщению, перемещение блоков кодовых слов в пределах заданного периода T , формирование кодового кадра длительностью $T > T'$ из совокупности перемещенных блоков кодовых слов и синхрослосы, модуляцию сформированным кодовым кадром сигнала несущей частоты и передачу его по радиоканалу, на приемной стороне: прием на каждом приемнике передаваемого сигнала, его демодуляцию и выделение синхрослосы, формирование w кодовых слов, относящихся к одному сообщению, путем деperемещения символов в p блоках кодовых слов, декодирование w сформированных кодовых слов одного информационного сообщения с исправлением возможных ошибок, отличающийся тем, что на передающей стороне: каждое передаваемое k - символьное слово формируют путем дополнения k $(k - 1)$ символам информационного сообщения одной из w частей собственного адреса приемника, которому предназначено данное информационное сообщение, причем в качестве блокового кода (n, k) используют код Рида-Соломона (n, k) , перемещение блоков кодовых слов осуществляют для информационных сообщений с разными групповыми адресами в соответствии с заданным порядком следования групповых адресов, кодовый кадр формируют путем добавления синхрослосы длительностью τ перед каждой совокупностью длительностью T' перемещенных блоков кодовых слов, так что $T = \tau + T'$, на приемной стороне: после выделения синхрослосы в приемнике стробируют его двумя последовательностями импульсов с периодом T каждая, импульсы первой из которых длительностью τ совмещают по времени с синхрослосками, а импульсы второй последовательности с длительностью, равной длительности одного блока кодовых слов, задерживают относительно импульсов первой последовательности на время, определяемое групповым адресом данного приемника и законом перемещения блоков кодовых слов на передающей стороне, в выделенных во время действия импульсов второй последовательности блоков кодовых слов выполняют деperемещение символов, из которых формируют кодовые слова, полученные при деperемещении символов в p блоках кодовых слов кодовые слова декодируют с исправлением ошибок в смежном классе кода Рида-Соломона $(n, k -$

1), вложенного в используемый на передающей стороне код Рида-Соломона (n, k) , и лидер смежного класса этого $(n, k - 1)$ кода Рида-Соломона определяют той из w частей собственного адреса данного приемника, которой дополнены $k - 1$ символов информационного сообщения на передающей стороне, декодированное информационное сообщение выдают получателю.

2. Способ по п.1, отличающийся тем, что передаваемое сообщение на передающей стороне повторяют несколько раз, а на приемной стороне повторяют декодирование кодового слова в каждом стробируемом периоде T .

3. Способ по п.1 или 2, отличающийся тем, что в качестве синхрослосы используют импульсную m -последовательность.

4. Декодер для системы персонального радиовызова, содержащий демодулятор, группа информационных выходов которого соединена с первой группой информационных входов блока оперативной памяти, блок декодирования, блок деperемещения и блок управления, отличающийся тем, что в него введены блок синхронизации и таймер, первый и второй выходы синхросигнала демодулятора подключены к одноименным информационным входам блока синхронизации, выход которого соединен с информационным входом таймера, выход которого подключен к первому входу блока управления, первый выход которого соединен с управляющим входом демодулятора, второй выход блока управления подключен к входу синхронизации демодулятора, третий выход и первая группа выходов блока управления соединены соответственно с тактовым входом и группой управляющих входов блока синхронизации, вторая - пятая группы выходов блока управления подключены соответственно к группам управляющих и адресных входов блока оперативной памяти, группе управляющих входов блока деperемещения и группе управляющих входов блока декодирования, четвертый выход блока управления соединен с тактовым входом блока декодирования, выход и группа выходов которого подключены соответственно к второму входу блока управления и второй группе информационных входов блока оперативной памяти, пятая группа выходов которого соединена с группой информационных входов блока деperемещения, группа выходов которого подключена к группе информационных входов блока декодирования, вторая группа выходов блока оперативной памяти и шестая группа выходов блока управления являются соответственно информационными и управляющими выходами декодера.

5. Декодер по п.4, отличающийся тем, что блок синхронизации содержит генератор m -последовательности, сдвиговой регистр, первый и второй счетчики импульсов, компаратор, распределитель импульсов, триггер, сумматор по модулю два, элемент И и мультимплексор, первый информационный вход которого является одисциплинным входом блока, выход подключен к информационному входу сдвигового регистра, выход которого соединен с вторым информационным входом мультимплексора и с первым входом сумматора по модулю два, выход которого подключен к установочному входу первого

счётчика импульсов, счётные входы распределителя импульсов И второго счётчика импульсов объединены и являются вторым информационным входом блока, тактовые входы распределителя импульсов и генератора m-последовательности объединены и являются тактовым входом блока, первый - пятый выходы распределителя импульсов соединены соответственно с управляющим входом мультиплексора, тактовым входом сдвигового регистра, входом обнуления первого счётчика импульсов, входом синхронизации генератора m-последовательности и счётным входом первого счётчика импульсов, разрядные входы которого подключены к первой группе выходов компаратора, выход которого соединен с первым входом элемента И, вторая группа входов компаратора и объединённые входы обнуления распределителя импульсов, триггера и генератора m-последовательности образуют группу управляющих входов блока, выход второго счётчика импульсов подключен к установочному входу триггера, выход которого соединен с входом обнуления второго счётчика импульсов и первым управляющим входом распределителя импульсов, первый выход генератора m-последовательности подключен к второму входу сумматора по модулю два, второй выход генератора m-последовательности соединен с вторым управляющим входом распределителя импульсов и вторым входом элемента И, выход которого является выходом блока.

6. Декодер по п.5, отличающийся тем, что распределитель импульсов содержит первый - третий триггеры, элемент ЗАПРЕТ, элементы И, элементы ИЛИ и элемента НЕ, информационный вход первого триггера объединен с входом элемента НЕ и является счётным входом распределителя, счётные входы первого и второго триггеров объединены с первым входом первого и второго элементов И и являются тактовым входом распределителя, первые входы первого - четвертого элементов ИЛИ объединены и являются входом обнуления распределителя, первый вход третьего элемента И и второй вход третьего элемента ИЛИ являются соответственно первым и вторым управляющими входами распределителя, выход первого элемента ИЛИ соединен с входом обнуления первого триггера, выход которого подключен к разрешающему входу элемента ЗАПРЕТ, второму входу четвертого элемента ИЛИ и информационному входу второго триггера, выход первого элемента НЕ соединен с вторым входом второго элемента ИЛИ, выход которого подключен к входу обнуления второго триггера, выход которого соединен с

вторыми входами первого элемента ИЛИ и третьего элемента И, выход третьего элемента И соединен со счётным входом второго триггера, информационный вход которого подключен к источнику логической единицы, выход третьего элемента ИЛИ соединен с входом обнуления третьего триггера, выход которого подключен к запрещающему входу элемента ЗАПРЕТ, вторым входам первого и второго элементов И и является первым выходом распределителя, выходы элемента ЗАПРЕТ и первого элемента И соединены с входами пятого элемента ИЛИ, выход которого является вторым выходом распределителя, выход четвертого элемента ИЛИ является третьим выходом распределителя, выход второго элемента И соединен со входом второго элемента НЕ и является четвертым выходом распределителя, выход второго элемента НЕ является пятым выходом распределителя.

7. Декодер по п.5, отличающийся тем, что генератор m-последовательности содержит с первого по восьмой триггеры, сумматор по модулю два, первый и второй элементы ИЛИ, элемент ИЛИ - НЕ, первый и второй элементы НЕ, тактовые входы триггеров с первого по седьмой объединены и являются входом синхронизации генератора, тактовый вход восьмого триггера является тактовым входом генератора, установочный вход первого триггера объединен с входами обнуления триггеров с второго по шестой, и с первыми входами первого и второго элементов ИЛИ и является входом обнуления генератора, выход первого триггера подключен непосредственно и через первый элемент НЕ к первым входам соответственно сумматора по модулю два и элемента ИЛИ - НЕ, выходы которых соединены с информационными входами соответственно второго и седьмого триггеров, выходы каждого из триггеров с второго по пятый подключены к соответствующему входу элемента ИЛИ - НЕ и информационному входу следующего триггера, выход шестого триггера соединен с информационным входом первого триггера, вторым входом сумматора по модулю два, входом второго элемента НЕ и является первым выходом генератора, выход второго элемента НЕ подключен к шестому входу элемента ИЛИ - НЕ, прямой выход седьмого триггера соединен с информационным входом восьмого триггера и является вторым выходом генератора, инверсный выход седьмого триггера подключен к второму входу второго элемента ИЛИ, выход которого соединен с входом обнуления восьмого триггера, прямой выход которого подключен ко второму входу первого элемента ИЛИ, выход которого соединен со входом обнуления седьмого триггера.

Таблица 1

| Кодовое слово | Блоки типа 1 | Блоки типа 2 | Блоки типа 3 | ... | Блоки типа n |
|---------------|--------------|--------------|--------------|-----|--------------|
| 1 | u_0 | u_1 | u_2 | ... | u_n |
| 2 | u_0 | u_1 | u_2 | ... | u_n |
| 3 | u_0 | u_1 | u_2 | ... | u_n |
| ... | ... | ... | ... | ... | ... |
| w | u_0 | u_1 | u_2 | ... | u_n |

Таблица 2

| Символы ко- довых слов | | $u_5, u_4, u_3, u_2, u_1, u_0$ | $u_5, u_4, u_3, u_2, u_1, u_0$ | $u_5, u_4, u_3, u_2, u_1, u_0$ |
|----------------------------|----|--|---|---|
| Слова кода | | 0 | $c_1 = (\alpha^{11}, \alpha^6, \alpha^2, 0, 0, \alpha^0)$ | $c_1 = (\alpha^4, \alpha^{12}, \alpha^6, 0, \alpha^3, \alpha^{12})$ |
| Смеж- ные класс ы | 1 | $v_1 = (\alpha^6, \alpha^{13}, \alpha^{11}, \alpha^6, 0, 0)$ | $c_1 + v_1 = (\alpha^1, \alpha^0, \alpha^8, \alpha^0, 0, \alpha^0)$ | $c_1 + v_1 = (\alpha^{12}, 0, \alpha^1, \alpha^0, \alpha^3, \alpha^{12})$ |
| | 2 | $v_2 = (\alpha^7, \alpha^{14}, \alpha^{12}, \alpha^1, 0, 0)$ | $c_1 + v_2 = (\alpha^8, \alpha^8, \alpha^7, \alpha^1, 0, \alpha^0)$ | $c_1 + v_2 = (\alpha^3, \alpha^2, \alpha^4, \alpha^1, \alpha^3, \alpha^{12})$ |
| | 3 | $v_3 = (\alpha^8, \alpha^0, \alpha^{13}, \alpha^2, 0, 0)$ | $c_1 + v_3 = (\alpha^9, \alpha^8, \alpha^7, \alpha^1, 0, \alpha^0)$ | $c_1 + v_3 = (\alpha^5, \alpha^8, \alpha^9, \alpha^2, \alpha^3, \alpha^{12})$ |
| | | ... | ... | ... |
| | 15 | $v_{15} = (\alpha^5, \alpha^{12}, \alpha^{10}, \alpha^{14}, 0, 0)$ | $c_1 + v_{15} = (\alpha^3, \alpha^4, \alpha^4, \alpha^{14}, 0, \alpha^0)$ | $c_1 + v_{15} = (\alpha^8, \alpha^1, \alpha^7, \alpha^{14}, \alpha^3, \alpha^{12})$ |

1С 7998012 RU

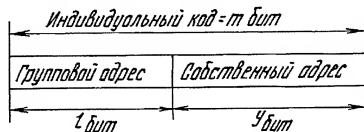
Таблица 3

| Промежути времени | Демонстратор V1 141 | Блок синхронизации V2 45 | | Блок оперативной памяти V4 46 | | Блок деления V5 48 | | Блок декодирования V6 49 | | | | Блок ЖКИ V3 50 | |
|----------------------|------------------------|-----------------------------|-----|----------------------------------|-----|-----------------------|-----|-----------------------------|-----|-----|-----|-------------------|-----|
| | | VU | VX | WR | RD | WR/RD | F | VR | RD | VU | AD | WR | VU |
| t_0 | 1 | 1 | R | 0 | 0 | 0 | - | 0 | 0 | 0 | 0 | 0 | 0 |
| t_1 | 1 | 0 | * | 0 | 0 | 0 | - | 0 | 0 | 0 | 0 | 0 | 0 |
| $t_2(I)$ | 1 | 0 | * | 0 | 0 | 0 | - | 0 | 0 | 0 | 0 | 0 | 0 |
| | 1 | 0 | * | 0 | 0 | 0 | - | 0 | 0 | 0 | 0 | 0 | 0 |
| t_3 | 1 | 0 | * | 0 | 0 | 0 | - | 0 | 0 | 0 | 0 | 0 | 0 |
| $t_3(II)$ | 1 | 0 | * | 0 | 0 | 0 | - | 0 | 0 | 0 | 0 | 0 | 0 |
| | 1 | 0 | * | 0 | 0 | 0 | - | 0 | 0 | 0 | 0 | 0 | 0 |
| ... | 1 | 0 | * | 0 | 0 | 0 | - | 0 | 0 | 0 | 0 | 0 | 0 |
| t_5 | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... |
| $t_5(VI)$ | 1 | 0 | * | 0 | 0 | 0 | - | 0 | 0 | 0 | 0 | 0 | 0 |
| | 1 | 0 | * | 0 | 0 | 0 | - | 0 | 0 | 0 | 0 | 0 | 0 |
| | 1 | 0 | * | 0 | 0 | 0 | - | 0 | 0 | 0 | 0 | 0 | 0 |
| t_6 | 1 | 0 | * | 0 | 0 | 0 | - | 0 | 0 | 0 | 0 | 0 | 0 |
| $t_{6.1}$ | 0 | 0 | * | 0 | 0 | 0 | - | 0 | 0 | 0 | 0 | 0 | 0 |
| | 0 | 0 | * | 0 | 0 | 0 | - | 0 | 0 | 0 | 0 | 0 | 0 |
| | 0 | 0 | * | 0 | 0 | 0 | - | 0 | 0 | 0 | 0 | 0 | 0 |
| $t_{6.2}(I)$ | 0 | 0 | * | 0 | 0 | 0 | - | 0 | 0 | 0 | 0 | 0 | 0 |
| $t_{6.3}(I)$ | 0 | 0 | * | 0 | 0 | 0 | - | 0 | 0 | 0 | 0 | 0 | 0 |
| $t_{6.3}(II)$ | 0 | 0 | * | 0 | 0 | 0 | - | 0 | 0 | 0 | 0 | 0 | 0 |
| $t_{6.3}(III)$ | 0 | 0 | * | 0 | 0 | 0 | - | 0 | 0 | 0 | 0 | 0 | 0 |
| $t_{6.2}(III)$ | 0 | 0 | * | 0 | 0 | 0 | - | 0 | 0 | 0 | 0 | 0 | 0 |
| $t_{6.3}(III)$ | 0 | 0 | * | 0 | 0 | 0 | - | 0 | 0 | 0 | 0 | 0 | 0 |
| $t_{6.2}(VI)$ | 0 | 0 | * | 0 | 0 | 0 | - | 0 | 0 | 0 | 0 | 0 | 0 |
| $t_{6.3}(VI)$ | 0 | 0 | * | 0 | 0 | 0 | - | 0 | 0 | 0 | 0 | 0 | 0 |
| $t_{6.4}$ | 0 | 0 | * | 0 | 0 | 0 | - | 0 | 0 | 0 | 0 | 0 | 0 |
| t_7 | 0 | 0 | * | 0 | 0 | 0 | - | 0 | 0 | 0 | 0 | 0 | 0 |

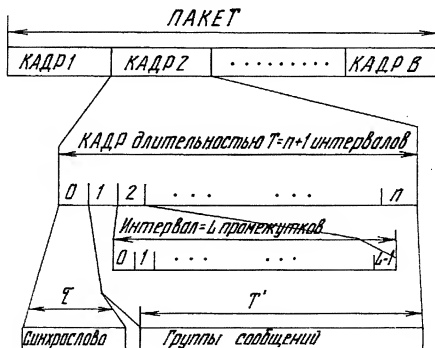
RU 2108667 C1

Таблица 4

| Кол-во групп сообщений в кадре | Скорость передачи в канале, (бит/с) | Время передачи кадра, (с) | Допустимая длительность промежутка времени с полностью искаженным сигналом, (с) | Непрерывно в время работы $T_{\text{раб.}}$, (сутки) |
|--------------------------------|-------------------------------------|---------------------------|---|---|
| 256 | 700 | 35,2 | 5,9 | 20,8 |
| 128 | | 17,6 | 2,8 | 17,2 |
| 64 | | 8,8 | 1,4 | 12,8 |
| 256 | 1200 | 20,5 | 3,4 | 20,5 |
| 128 | | 10,3 | 1,7 | 17,0 |
| 64 | | 5,2 | 0,85 | 12,6 |
| 256 | 2400 | 10,3 | 1,7 | 20,3 |
| 128 | | 5,2 | 0,85 | 16,7 |
| 64 | | 2,6 | 0,4 | 12,3 |



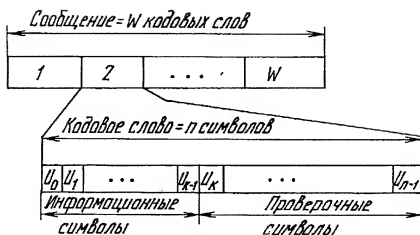
Фиг. 2



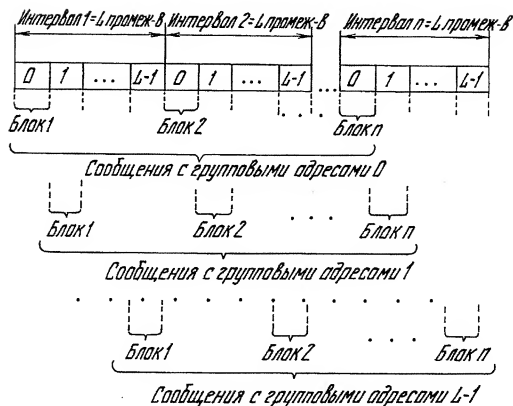
Фиг. 3

RU 2108667 C1

RU 2108667 C1



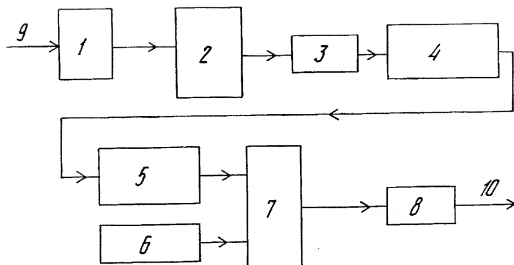
Фиг. 4



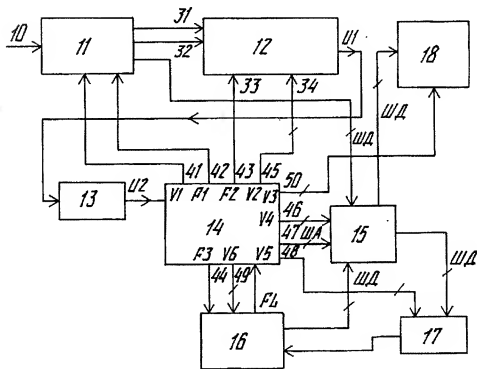
Фиг. 5

RU 2108667 C1

RU 2108667 C1



Фиг. 6

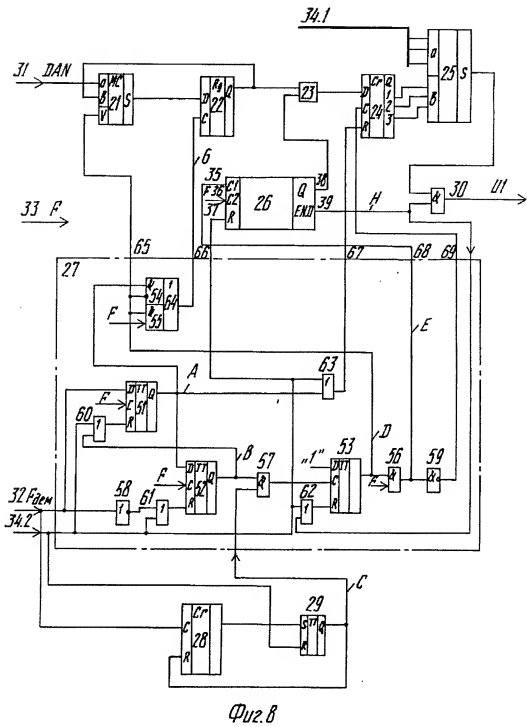


Фиг. 7

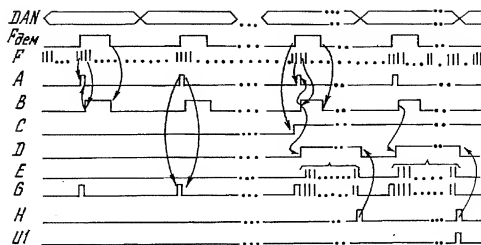
RU 2108667 C1

RU 2108667 C1

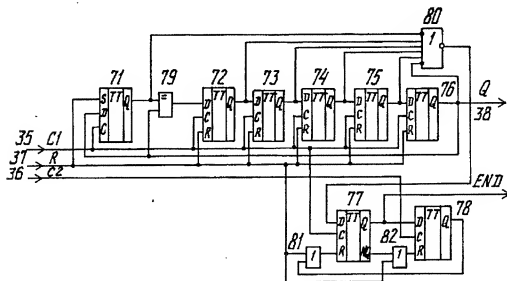
RU 2108667 C1



RU 2108667 C1



Фиг. 9



Фиг. 10

RU 2108667 C1

RU 2108667 C1

